

저 전력 아키텍처를 위한 상위 레벨 데이터 패스 할당 알고리즘

A High-Level Data Path Allocation Algorithm for Low Power Architecture

印 致 虎*

Chi-Ho Lin*

요 약

본 논문은 상위 레벨 합성에서의 레지스터와 자원 할당 과정의 스위칭 동작 최소화를 통한 저 전력 데이터 패스 할당 알고리즘을 제안한다. 제안하는 알고리즘은 스케줄링된 CDFG를 입력으로 할당 과정에서 전력 최소화를 수행한다. 알고리즘은 레지스터 할당과 자원 할당 과정을 나누어 수행한다. 레지스터 할당 알고리즘은 기능 장치 내의 불필요한 스위칭 동작을 제거하고 멀티플렉서의 수를 최소화한다. 자원 할당 과정은 스위칭 동작을 최소화할 수 있는 연산자의 순서를 선택한다.

본 논문에서 제안하는 알고리즘과 genesis-lp 상위 레벨 합성시스템을 벤치마크를 이용한 비교 실험결과 평균 15.3%의 전력 감소효과가 있다.

Abstract

In this paper, we propose a minimal power data path allocation algorithm for low power circuit design. The proposed algorithm minimizes switching activity for input variables in scheduled CDFG. Allocations are further divided into the tasks of register allocation and module allocation. The register allocation algorithm execute that it eliminate spurious switching activity in functional unit and minimize the numbers of multiplexer. Also, resource allocation method selects a sequence of operations for a module such that the switching activity is reduced. Therefore, the algorithm executes to minimize the switching activity of input values, sequence of operations and number of multiplexer.

Experimental results using benchmarks show that power is reduction effect from 13% to 17% power consumption, when compared with the Genesis-lp high-level synthesis system

Keyword : Low power, Allocation, Algorithm, CDFG, Synthesis

*世明大學校 電子工學部
(Dept. of E.E. Semyung Univ.)

※ 이 논문은 2003년도 세명대학교 교내학술연구비 지원에 의해 수행되었음

接受日:2003年 8月 14日, 修正完了日:2003年 11月 19日

1. 서론

최근에 시스템의 성능과 복잡도가 증가 함에 따라 전력 소모는 VLSI 설계의 중요한 요소가 되었다. 따라서 여러 설계 수준에서 전력 소모를 줄이고자 노력하고 있다. 저 전력 회로구현은 여러 설계 수준의 범위를 포함해야 하나 특히 회로 설계 초기단계의 결정은 다음 단계에 큰 영향을 미치므로 상위 수준에서의 최적화는 매우 중요하다.

상위 수준 합성이란 CDFG(Control Data Flow Graph)와 같이 행위 수준에서 기술된 시스템을 레지스터 전달 수준으로 변환하는 것을 의미한다. 그리고 상위 수준 합성과정은 스케줄링과 할당 단계로 나뉘어진다. 스케줄링 단계에서는 CDFG내의 연산들을 제어 구간에 대응시키고, 할당 단계에서는 연산과 변수들을 기능 장치(functional unit)와 레지스터에 할당하는 일을 수행한다. 본 논문에서 제안하는 알고리즘은 저전력을 고려하여 이미 스케줄링된 CDFG를 받아들여 할당과정에서 전력 최적화를 수행한다.

전력 최적화를 위한 할당 방법은 현재까지 많은 연구가 이루어졌다. 기존의 연구는 공유를 통해 연산 장치나 레지스터의 입력 변수들을 조절하여 시스템 내에 발생하는 스위칭 동작을 줄이고자 하였다[1-2]. 그러나, 이들은 할당과정에서 기능 연산자의 spurious 연산을 고려하지 못한 문제점을 지닌다. 또 다른 연구로는 레지스터 할당 과정에서 기능 장치의 불필요한 연산을 없애어 전력 소모를 줄이고자 하였다.[3-4] 그러나 연결구조의 전력 소모를 고려하지 못해 데이터 패스 일부에 대한 최적화만을 이루었다. 따라서 본 논문에서는 이러한 문제점들을 고려하여, 상위 수준 합성과정에서 레지스터 할당과정과 자원할당 과정을 나누어 수행하며, 데이터 패스에서 발생하는 전력 소모를 최소화하는 알고리즘을 제안한다.[4-7]

본 논문의 구성은 다음과 같다. 2장에서는 CMOS회로에서의 전력 소모 모델을 살펴본다. 3장은 연속되는 입력값에 대해서 신호 확률에 의한 스위칭 동작과 평균 해밍거리(hamming distance)를 이용하여 스위칭 동작 매트릭스 구성에 대해서 알아본다. 4장에서는 레지스터 할당 과정과 자원 할당 과정을 보여주고, 제안하는 데이터 패스 할당 알고리즘을 기술한다. 5장에서는 실험 및 결과를 보이고, 6장에서는 결론을 맺는다.

2. CMOS회로의 전력 소모 모델

일반적으로 CMOS 회로에서의 전력 소모는 동적 전력 소모(dynamic power dissipation), 단락 전류 전력 소모(short-circuit power dissipation), 그리고 누설 전류(leakage power dissipation)에 의한 전력 소모로 구성된다. 전형적으로 단락 전류 전력 소모에 의한 전력 소모는 전체 회로에서의 전력 소모 중 약 10% 이하를, 그리고 누설 전류에 의한 전력 소모는 약 5% 이하를 차지하기 때문에, 보통 상위 수준 합성에서는 동적 전력 소모만을 고려한다. CMOS 회로에서의 평균전력은 다음과 같이 표현될 수 있다[5].

$$P = \frac{1}{2} C_L V_{dd}^2 f_{clk} P_{switching} \tag{1}$$

식1에서 C_L 은 유효 정전용량, V_{dd}^2 는 공급전압 그리고 f_{clk} 는 클럭 주파수이고, $P_{switching}$ 는 스위칭 동작의 평균값을 나타낸다

여기에서 스위칭 동작의 평균값은 $1/f_{clk}$ 클럭 사이클 마다 출력변화의 평균수를 나타낸다[6]. 위의 식에서 알 수 있듯이, 유효정전용량과 공급전압, 그리고 클럭 주파수가 주어진다면 스위칭 동작의 평균값을 최소화 시키면 CMOS 회로에서의 평균전력은 최소화된다.

3. 스위칭 동작 매트릭스 구성

본 논문에서는 전력 소모 모델에서 스위칭 동작을 최소화하여 전체 전력소모를 줄인다. 먼저 평균 스위칭 동작을 아래의 식 2와 같이 나타낼 수 있다. 연속되는 입력값에 대해서 신호 확률에 의한 스위칭 동작과 평균 해밍거리(hamming distance)를 이용하여 평균 스위칭 동작값을 구한다. 여기서 해밍거리는 두 개의 2진수사이의 비트 차이 수를 나타낸다. 그리고 연산기의 두 입력의 변화가 적을수록 스위칭 동작값은 감소한다. 두 입력 변수사이의 평균 해밍거리를 이용하므로 데이터 상관관계를 고려하게 되어 보다 정확한 스위칭 동작을 구할 수 있다.

$$SW = \frac{\sum_{i=1}^n switch(x_i, x_{i-1}) * ADH(x_i, x_{i-1})}{Bit\ width} \tag{2}$$

연산자의 입력 변화에 대한 스위칭 동작을 계산은

CDFG의 반복적인 시물레이션을 통해 이루어진다. 식2를 목적함수로 이용하여 CDFG상의 입력변수에 대한 스위칭 동작 매트릭스를 구성한다. CDFG의 시물레이션은 새로운 초기 입력 값에 대하여 반복적으로 수행되며 입력값은 Bitwidth에 의하여 정규화 되고 반복 수에 의해 평균화 된다. 시물레이션은 모든 엔트리 가 수렴할 때까지 계속된다. 즉, 레지스터 변수간의 스위칭 동작율은 i 번째와 $(i+1)$ 번째의 두개의 변수들 간에서 얻어지고, 기능 장치의 스위칭 동작율은 기능 장치에 연속적으로 입력되는 i 번째와 $(i+1)$ 번째의 두개의 변수들 간에서 얻어진다. 스위칭 동작 매트릭스의 엔트리 값에 대한 정확성을 높이기 위해서 많은 입력 신호에 대한 시물레이션이 필요하다. 예를 들어 2개의 변수 $v1$ 과 $v2$ 가 있고, 시물레이션 결과 $(v1, v2)$ 에 $(0011, 0001)$ 와 $(1100, 0101)$, $(0101, 1111)$ 이 연속적으로 입력된다고 가정한다. 이때 스위칭 동작 매트릭스의 엔트리 값은 $\{[SW(\text{reg}, 0011, 0001) + SW(\text{reg}, 1100, 0101) + SW(\text{reg}, 0101, 1111)]/\text{Bitwidth}\}/3$ 과 같다. 아래 그림1의 (a)는 스케줄링된 CDFG를 나타내며 (b)는 반복적인 시물레이션에 의해 구성된 입력 변수에 대한 스위칭 동작 매트릭스를 보여준다.

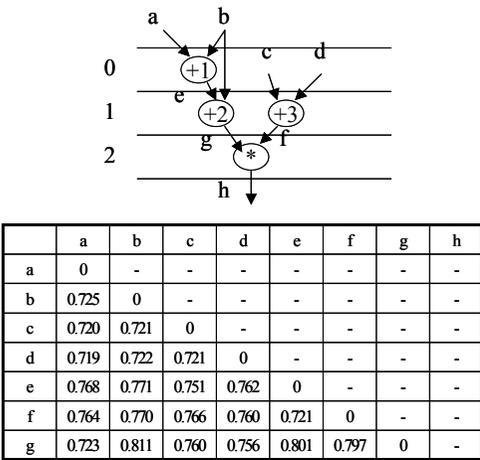


그림 1. (a) 스케줄링된 CDFG (b) 스위칭 동작 매트릭스
Fig 1. (a) Scheduled CDFG (b) Switching activity matrices

4. 제안하는 데이터 패스 할당 알고리즘

상위 수준 합성과정에서 CDFG내의 변수들은 레지스터 전송 수준에서 레지스터로 할당된다. 이 과정에서 생존구간(life time)이 서로 겹치지 않는 변수들은 하나의 레지스터를 공유 할 수 있다. 이때 서로 공유되는 변수들간의 스위칭 동작을 최소화하여 레지스터가 소모하는 전력을 최소화 시킬 수 있다. CDFG내에서 생존구간이 겹치지 않는 변수들을 연결하는 호환(compatibility) 그래프를 구성한다. 호환그래프는 회로의 CDFG적 표현에서 변수들을 그래프내의 노드가 되며 방향성 예지로 연결한다. 이때 호환그래프내의 예지의 가중치(weight)로 스위칭 동작 매트릭스의 값을 이용한다. 그리고 예지의 가중치가 가장 큰 값을 가지는 변수들을 같은 레지스터에 할당한다. 레지스터 변수간의 스위칭 동작율을 SW 라 하면, 본 논문에서 구성한 스위칭 동작 매트릭스 엔트리 값은 $(1-SW)$ 로 구성하였다. 따라서 구성된 스위칭 동작 매트릭스 엔트리 값이 가장 큰 값을 가지면 스위칭 동작이 최소가 된다. 그러므로 예지의 가중치가 클수록 해당 변수를 공유했을 때 전력 소비가 감소한다. 아래 그림2는 그림1의 CDFG에 대한 생존구간 분석, 호환그래프 그리고 할당된 변수를 보여준다.

	a	b	c	d	e	f	g	h
0								
1								
2								
3								

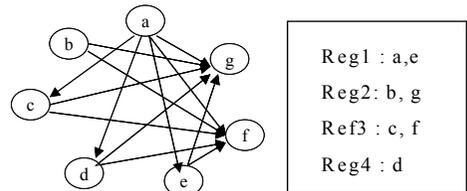


그림 2. (a) 생존구간 분석 (b) 호환그래프 (c) 할당된 레지스터와 변수
Fig 2. (a) Life time analysis (b) Compatibility graph (c) Allocated register and variable

이렇게 구성된 호환그래프에 최대비용흐름(max-cost flow) 알고리즘[7]을 적용하여 주어진 레지스터 개수 만큼의 공유 레지스터를 찾음으로써 레지스터가 소모

하는 전력을 최소화 한다. 제안하는 레지스터 할당 과정에서는 최소의 레지스터 개수를 유지하면서, 할당 과정에서 불필요한 spurious 연산을 최소화함으로써 합성된 데이터 패스의 전체적인 전력 소비를 감소한다. 주어진 입력 기술을 수행함에 있어서, 변수의 사용 패턴에 따라 각 제어구간의 유휴(idle) 모듈에서 불필요하게 수행되는 연산이 존재하게 된다. 이러한 유휴모듈 중에서 수행되는 연산에 사용되는 피연산자의 값이 이전 제어구간과 다를 때 유휴모듈에서 수행되는 연산을 spurious 연산이라 한다. Spurious 연산에 의한 추가적인 전력 소모가 크며 곱셈기와 같은 고전력 연산기가 spurious 연산에 사용될 경우에는 전체 데이터 패스의 소비 전력이 크게 증가한다. Spurious 연산의 발생 가능성을 레지스터 할당 과정에서 고려하여 합성함으로써 저전력 데이터 패스 합성을 수행한다. 본 논문에서는 유휴모듈에 사용되는 피연산자가 이전 제어구간에서의 값을 유지하는 방향으로 변수를 레지스터에 할당함으로써 최소화 한다. 본 논문에서는 동적 할당방법으로 재할당과정을 수행한다. CDFG의 반복에 대해서 이전 제어구간의 값을 유지할 수 있도록 동적으로 변수를 레지스터에 할당한다. 그림2의 (c)는 그림1의 CDFG에 대해서 레지스터 할당과정을 모두 마친 후의 결과를 보여준다. 본 논문에서 제안하는 자원 할당 과정은 레지스터 할당 과정과 유사한 방법을 사용한다. 레지스터 할당 과정에서 각 변수들이 노드로 표현되는 것과 마찬가지로 자원 할당 과정에서는 자원들이 노드로 표현되며 에지의 가중치는 자원의 두 입력의 스위칭 동작이 최소화 되도록 결정한다. 자원 할당 과정에서의 가중치는 그림1의 (b)와 같은 입력 변수에 대한 스위칭 동작 매트릭스를 이용한다. 가중치를 W_{weight} 라 하면 식3과 같이 표현될 수 있다.

$$W_{weight} = -(W_r + W_l + W_{Mux}) \quad \text{식 3}$$
 여기서 W_r 은 공유가능 자원에 대한 오른쪽 입력 단으로 입력되는 입력 변수들의 스위칭 동작율이다. 그리고 W_l 은 외측 입력 단으로 입력되는 입력 변수들의 스위칭 동작율이 되며, W_{Mux} 는 다른 레지스터에 저장되어 있는 변수들이 한 자원의 같은 입력 단을 공유할 때 그 자원의 입력 단에서 발생하는 멀티플렉서의 가중치가 된다. 즉 자원 할당 과정에서의 가중치는 연속된 입력 변수의 쌍의 스위칭 동작율의 합과 멀티플렉서의 합으로 구해진다. 자원들을 노드로

하여 구성된 호환 그래프에서 식3에 의해 구해진 에지의 가중치가 최소가 되는 자원을 할당한다. 아래 표 1은 그림1의 CDFG에서 자원 공유 가능한 경우와 가중치를 보여 준다.

표1. 자원 공유 가능한 경우와 가중치
Table1. Case possible shared resource

자원 공유	발행 연수	가중치	신행 연수	할당된 자원
+1, +2	a-e, b-b'	-(3.769)	a-e, b-b'	+1, +2
	a-b, b-e'	-(3.499)		
+1, +3	a-c, b-b'	-(3.443)	a-d, b-c'	
	a-d, b-c'	-(3.443)		

그리고 그림3은 호환 그래프와 할당된 자원을 나타낸다. 호환 그래프에서 에지의 가중치가 가장 큰 노드를 공유함으로써 기능장치의 전력 소모를 줄이도록 한다. 또한 본 논문에서는 다른 레지스터에 저장된 변수들이 같은 자원의 같은 입력 단으로 주어진다면 두 자원을 공유하는데 필요한 가중치를 크게 함으로써 멀티플렉서의 수를 줄인다.

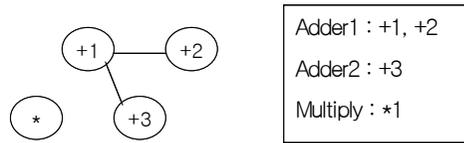


그림 3. (a) 호환 그래프 (b) 할당된 자원
Fig 3. (a) Compatibility graph (b) Allocated resource

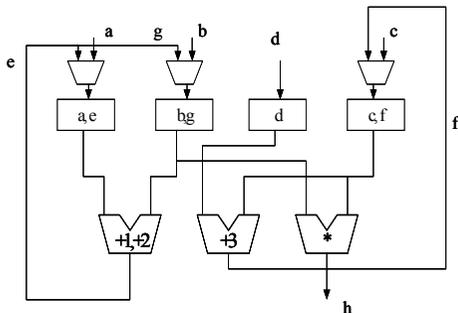
아래 그림 4는 본 논문에서 제안하는 데이터 패스 할당 알고리즘의 흐름도이다. 본 논문에서 제안하는 알고리즘은 스케줄링된 CDFG에 대해서 입력 변수에 대한 스위칭 동작 매트릭스를 구성한다. 그리고 호환 그래프를 이용하여 스위칭 동작이 최소화 되도록 레지스터 할당과 자원 할당을 수행하고 마지막으로 데이터 패스 할당 과정을 수행한다.

저 전력 아키텍처를 위한 상위 레벨 데이터 패스 할당 알고리즘



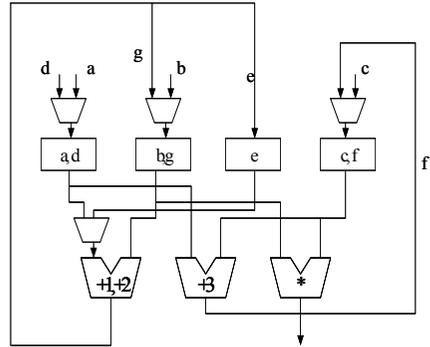
그림 4. 제안하는 알고리즘 흐름도
Fig 4. The proposed algorithm flowchart

그림4와 같은 방법으로 그림1의 CDFG를 레지스터와 자원 할당 과정을 거쳐 최종적으로 회로의 데이터 패스를 구성하면 아래 그림5의 (a)와 같다.



(a) 제안하는 알고리즘 합성결과
(a) Result synthesis for the proposed algorithm

그림5에서 보는 바와 같이 제안하는 알고리즘과 Genesis-Ip의 합성결과에서 제안하는 알고리즘은 레지스터와 기능 장치사이의 멀티플렉서가 감소하였으며, spurious 연산도 최소화 하여 보다 많은 전력 소비를 줄였다.



(b) Genesis-Ip의 합성결과
(b) Result synthesis for Genesis-Ip

그림 5. 레지스터와 자원 할당 후의 데이터 패스 비교
Fig 5. Compare result synthesis for the proposed algorithm with Genesis - Ip

본 논문에서 제안하는 알고리즘은 스케줄링된 CDFG에서 입력 변수들에 대한 스위칭 동작을 최소화 하였으며, 레지스터 할당 과정에서 발생하는 spurious 연산을 동적 할당 방법을 이용하여 최소화한다. 그리고 자원 할당 과정에서는 입력 변수에 대한 스위칭 동작 매트릭스를 재사용하여 가중치를 부여하고, 스위칭 동작 최소화를 통한 자원 할당 과정을 수행한다. 또한 레지스터와 기능 장치사이의 멀티플렉서를 줄여 전력 소모를 감소 한다.

5. 실험 및 결과

본 논문에서는 실험을 통하여 제안하는 데이터 패스 할당 알고리즘의 성능을 평가하였다. 실험에 사용된 회로는 상위 수준 합성 벤치마크 회로인 FIR Filter, IIR Filter, Wavelet Filter 와 2개의 예제 회로이다. 모든 회로는 Synopsys사의 DesignPower를 사용하여 게이트 수준에서 전력 소모를 예측하였다. 표2에서는 제안하는 알고리즘과 Princeton University의 Genesis-Ip의 할당 결과와 전력 소모를 비교하였다.

Genesis-Ip는 Princeton University의 저전력을 고려한 상위 수준 합성기로 최대 공유를 하며 전력 최적화를 이룬다. 따라서 본 논문에서 제안하는 알고리즘과 목적이 유사하여 비교 실험을 하였다. 실험을 통해 제안된 알고리즘을 사용함으로써 평균 15.3%의 전력 감소가 있었다.

표2. 벤치마크 회로의 전력 평가 비교

Table 2. Power reduction in the synthesized circuit for benchmarks (단위 : μW)

Benchmark	Resource allocation	Delay (ns)	Proposed algorithm	Power Reduction (%)
FIR11	+ (2) + (2) csg(7)	257.5	212.5	17.4
IIR5	+ (2) + (2) csg(7)	215.4	185.5	13.2
Wavelet	+ (2) + (1) csg(7)	206.5	179.4	14.4
Example1	+ (2) + (2) csg(7)	195.7	165.9	14.5
Example2	+ (2) + (1) csg(7)	188.5	162.3	15.4

본 논문에서 제안하는 알고리즘을 이용하여 데이터 패스 할당 결과 멀티플렉서의 수를 감소하고, 불필요한 spurious 연산을 최소화하여 13%에서 17%까지의 전력 감소 효과가 있었다.

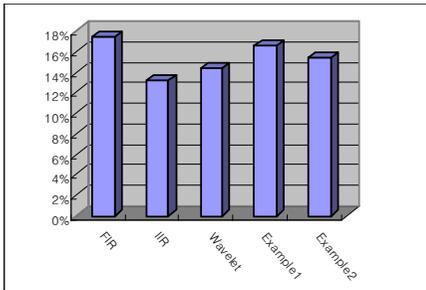


그림 6. 벤치마크 회로의 전력 감소율

Fig 6. Compared power reduction for benchmarks

6. 결론

본 논문에서는 데이터 패스 할당과정에서 입력 변수에 대한 스위칭 동작을 최소화하여 레지스터 할당과정을 수행하고, spurious 연산의 최소화를 통하여 전력 소모를 감소하는 알고리즘을 제안한다. 그리고 자원할당 과정에서는 기능 장치에 입력되는 입력변수의 스위칭 동작을 최소화하고, 연산자의 최대 공유를 통하여 멀티플렉서의 수를 줄여 전력 소비를 감소한다. 스위칭 동작의 최소화를 위해 입력패턴의 확률값과 평균 해밍거리의 곱을 이용하여 목적함수로 모델링하였다. 벤치마크 회로에 대한 실험 결과는 제안하는 알고리즘이 기존의 저전력을 고려한 상위 수준 합성

기인 Genesis-Ip보다 평균 15.3%의 전력 소비 감소율을 보인다. 제안하는 알고리즘은 DSP나 Microcontroller와 같은 데이터 패스의 비중이 큰 설계에 효과적으로 사용할 수 있을 것이다.

참고문헌

- [1] A. Raghunathan and N. K. Jha, "Behavioral Synthesis for Low Power," Int. Conf. On Computer Design, pp. 318-322, Oct. 1994.
- [2] A. Raghunathan and N. K. Jha, "ILP Formulation for Low Power based on Minimizing Switching Capacitance During data path allocation," Int Symp. On Circuit & System. 1995.
- [3] E. Musoll and J. Cortadella, "High Level Synthesis Techniques for Reducing the Activity of Functional Units," Int. Symp. On Low Power Electronics and Design, pp. 99-104, 1995.
- [4] A. Raghunathan, S. Dey and N. K. Jha, "Power Management Methodology for High-Level Synthesis," Int. Conf. On VLSI Design, pp. 24-29, 1998.
- [5] A. Raghunathan, Niraj K. Jha, S. Dey, "High-Level Power Analysis and Optimization", Kluwer Academic Publishers, pp. 17-25, 1998.
- [6] M. Pedram, "Power Minimization in IC Design n : Principles and applications," Transactions of ACM, vol. 1, no. 1, pp. 1-58, March, 1996.
- [7] C. Papadimitriou, K. Steiglitz, Combinatorial Optimization, Algorithms and Complexity, Prentice-Hall, in., 1982.

저 자 소 개

印致虎 (正會員)



1985년 한양대학교 전자공학과 공학사 1987년 한양대학교 대학원 공학석사(CAD 전공)
1996년 한양대학교 대학원 공학박사(CAD 전공)
1992년 ~ 현재 세명대학교 컴퓨터학과 부교수
e-mail : ich410@semyung.ac.kr

주관심분야 : VLSI CAD, ASIC 설계, CAD 알고리즘, RTOS 및 내장형 시스템