

Multiphase PLL using a Vernier Delay VCO

버니어 지연 VCO를 이용한 다중위상발생 PLL

成 載奎*, 姜 晉球*
Jae-Gyu Sung*, Jin-Ku Kango*

Abstract

This paper shows a vernier delay technique for generating precise multiphase clocks using PLL structure. The proposed technique can achieve the finer timing resolution less than the gate delay of the delay chain in VCO. Using this technique, 62.5ps of timing resolution can be achieved if the reference clock rate is set at 1GHz using 0.18um CMOS technology. Jitter of 14ps peak-to-peak was measured.

요약

본 논문은 PLL구조에서 새로운 버니어 지연 VCO구조를 이용한 다중위상 발생회로를 서술하였다. 제안하는 기법은 VCO의 지연단의 지연보다 더 미세한 타이밍신호를 만들어낸다. 0.18um CMOS공정을 이용하여 칩 제작 후 측정결과 1GHz에서 약 62.5ps의 위상정밀도를 갖는 신호를 만들었고 지터는 14ps로 측정되었다.

Key words: PLL, VCO, Vernier delay, Multiphase Clock, Phase detector

I. 서론

정밀한 지연 시간의 제어는 고 성능의 디지털 시스템의 설계에 있어서 중요한 이슈중의 하나이다. 어떤 과정을 샘플링할 경우 샘플링 해상도는 구현 가능한 최소의 지연 시간에 의해 결정된다. 또한 고속 디지털 시스템에서의 동기화 회로용으로 사용되는 DLL(Delay Locked Loop)의 성능 지수는 얼마나 정밀한 간격의 지연을 만들어 내는지에 의해 결정된다. 정확한 클락 지연을 발생시키는 일반적인 방법은 지연 체인의 각 지연 셀의 출력을 태핑(tapping)하는 방법이다. 이 방법은 구현하기 간단하나, 지연의 정밀도는 지연 셀의

지연 시간에 제한된다. 이 방법에 의해 지연정밀도를 높이기 위해서는 보다 빠르고 값비싼 공정기술에 의존할 수밖에 없다. 다른 방법은 복잡한 구조의 커플링 오실레이터 구조를 이용하여 지연 셀의 지연 값보다 작은 타이밍을 발생할 수도 있었다[1]. 또한 다른 지연값을 갖는 두 개 이상의 지연체인을 이용하여 상대적인 지연차를 활용하는 방법도 제안되었다[2]. 그러나 DLL을 이용한 구조의 경우 주파수가 고정되어 있어 시스템의 적용확장성이 떨어졌다. 본 논문에서는 PLL(Phase Locked Loop)구조를 가져 다양한 주파수 범위에서 정밀한 위상차를 가지는 다중위상(Multiphase) PLL 구조를 보인다. 위상 정밀도는 VCO 루프를 형성하는 주 지연(main delay)의 1/2의 지연값을 갖도록 하는 구조이다. 이 회로는 하나의 PLL구조의 회로이므로 구현하기가 비교적 용이하다. 이 후 절에서는 구현된 회로의 구조와 회로설계 및 실험결과를 서술할 것이다.

* 인하대학교 전자공학과
(Dept. of Electronics Engineering, Inha University)

★ 교신저자 (corresponding author)

※ This work was supported by INHA UNIVERSITY Research Grant. Authors also thank the IDEC and IT-SOC for its hardware and software assistance for the layout, simulation and chip fabrication.

接受日:2005年 7月 11日, 修正完了日: 2006年 7月 13日

II. 구조

제안하는 구조는 기본적으로 PLL구조를 기반으로 하고 있다. 기본구조는 그림1에 보였다. 핵심블록인 다중위상 신호를 만드는 자세한 VCO구조는 그림2에 보였다. 차동입출력을 만드는 4단구조의 주(主) 지연셀(main delay)들과 이들로부터 파생되는 부(副) 지연셀(sub_delay)들로 구성된다. 주 지연셀은 입력 신호 주기의 $2/16$ 즉 $1/8 * T$ ($T = \text{clock period}$)의 값을 갖도록 PLL에 의해서 락킹되도록 설계 된다. 다음 부지연셀은 $3/16 * T$ 지연값을 갖도록 설계하여 주 지연셀의 8

개의 출력라인으로부터 구동시킨다. 이렇게 되면 부지연셀의 각 출력은 $1/16 * T$ 간격의 16개의 다중위상 신호를 만들어낸다. 부지연셀의 지연값($3/16 * T$)은 주지연셀에서 만드는 위상과 일치되는 것들과 위상 비교하여 락킹을 하게하면 부지연셀의 정해진 위상을 생성할 수 있다. 이에 따라 각 위상비교기는 같은 위상 위치의 주지연위상과 부지연위상을 비교하여 제어전압을 만들어내도록 설계하였다.

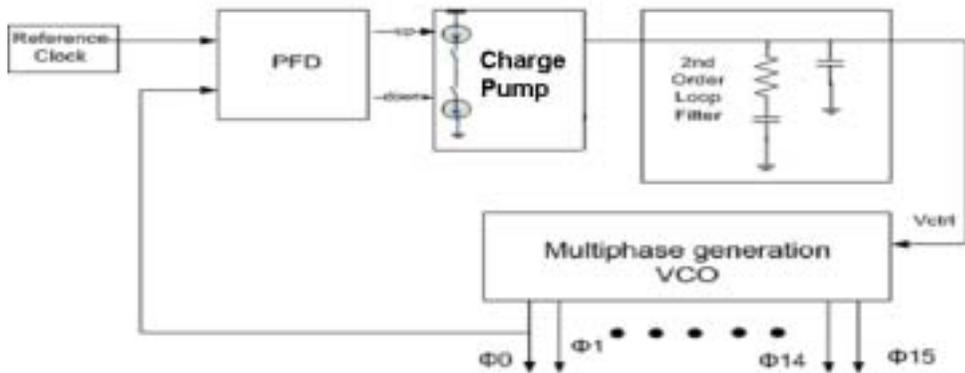


그림. 1 Proposed Multiphase PLL 구조

Fig.1 Block diagram of proposed multiphase PLL

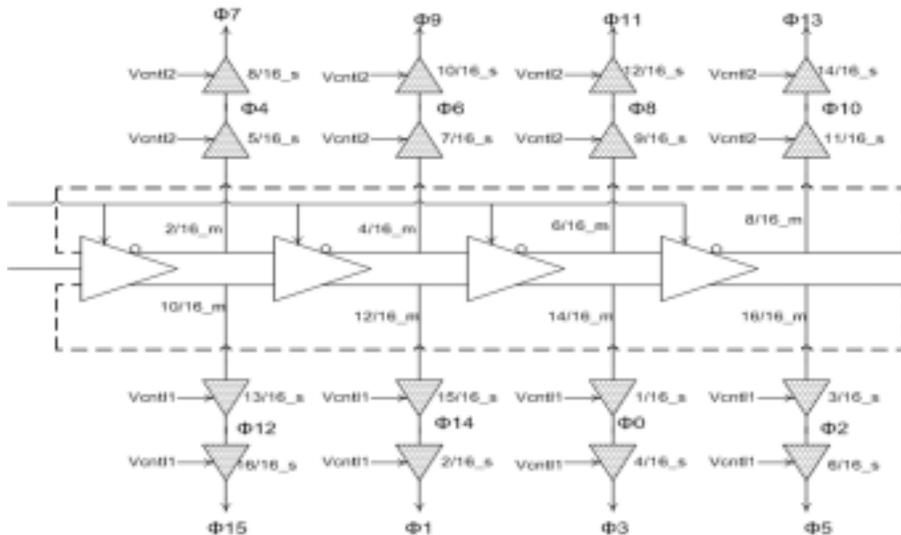


그림. 2 VCO 내부 구조(주 지연셀($2T/16$), 부지연셀($3T/16$))

Fig. 2 Structure of VCO (Main-delay cell($2T/16$), Sub-delay Cell($3T/16$))

그림3에는 부 지연셀의 지연값들을 원하는 값으로 유지하기 위한 제어방법회로를 보여주고 있다. 12번째 위상과 15번째 위상을 만드는 부지연셀의 지연값을 조정하는 Vcontrol1신호의 경우 16번째 주 지연셀출력과 16번째의 부 지연셀이 일치되어야하는 조건을 이용하여 제어신호를 만든다. 같은 방법으로 다른 위쪽의 부 지연단의 지연제어신호도 만들 수 있다.

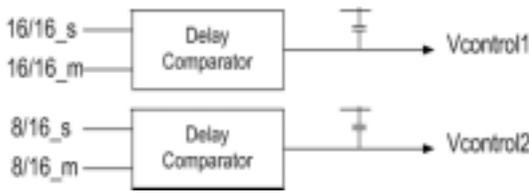


그림3. 부 지연단 (Sub-delay) 제어 회로
Fig. 3 Control circuit for Sub-delay circuit

III. 회로설계

PLL회로에 사용된 PFD는 상하간의 대칭성을 이용한 성능향상 및 그리고 4 input NAND 뒤에 Inverter 2개를 달아주어 Dead zone을 줄일 수 있도록 설계하였다. 그림 4에 보인 전하 펌프회로는Current Mirror를 이용한 charge pump로 UP, DOWN중 어떤 것이 high인가에 따라 P6과 P4에 의해서 charge되거나, P5와 P2, N2, N4에 의해서 discharge 된다. 그렇지 않고 둘 다 high이면 P4와 N4에 흐르는 전류가 같기 때문에 이때는 CTRL값을 유지하게 될 것이다.

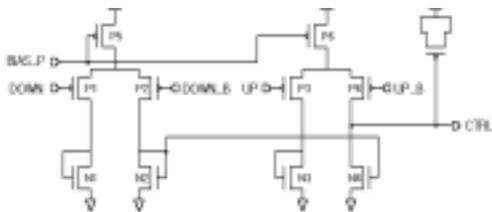


그림4 Charge Pump의 회로도
Fig. 4 Charge Pump Circuit

지연셀은 그림5에 보였다. N3는 전류원이고, P2, P3은 저항, P1, P4는 축전기 역할을 한다. 이구조의 지연셀의 장점 중에 한가지는 대칭형 로드의 특성에 의한 잡음면역성이 좋으나 여기에서는 이 특성을 사용하지

않고 단순히 축전기로만 사용되었다. 설계된 지연셀의 경우에는 3.3V-3.0V에서만 존재하므로, 회로동작에는 아무런 영향을 주지 않음을 알 수 있다. 그런데도 이렇게 사용한 이유는 단순히 capacitance의 크기만을 조정함으로써 지연을 200- 500ps 범위에서 적절한 제어전압과 록킹전압을 가지게 할 수가 있기 때문이다.

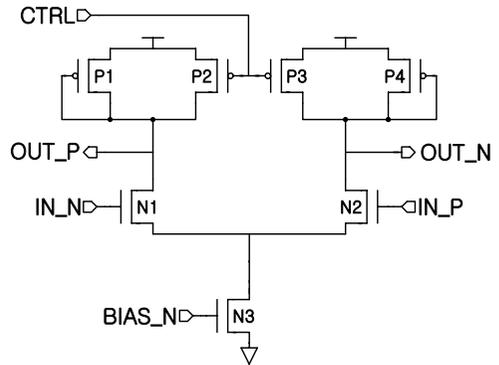


그림 5 지연 셀 회로
Fig. 5 Delay Cell circuit

부 지연셀의 지연을 조정하는 지연비교기 (delay comparator)는 주 지연셀의 출력과 부지연셀의 출력을 비교하여 출력전압을 발생한다. 구조는 그림4에서 서술한 전하펌프회로와 유사하다. 지연셀에서 사용되는 Replica bias회로는 그림6에 도시하였다. 위의 모든 구성을 가진 VCO의 전체 구조로서 앞에 Replica를 달아주어 일정한 Pbias와 Nbias를 제공해 주도록 설계되었다. Loop filter에서 나온 Vcontrol(Ref)가 이 회로에 입력으로 들어와 안정된 Pbias와 Nbias를 만들어 준다. 또한 bias_amp라 하여 뒤에 나오는 Full_swing generator의 컨트롤 전압을 만들어 주는 기능을 한다. 이 회로가 없다면 외부에서 또 다른 Bias circuit를 추가 해 주어야 하며 delay cell의 동작에 있어서 출력비를 맞추어 주기 힘들다.

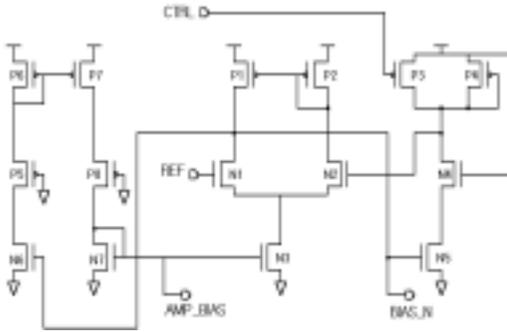


그림 6 Replica Bias 회로
Fig. 6 Replica Bias Circuit

IV. 시뮬레이션 및 측정결과

1GHz 클럭신호를 입력신호로 사용하여 주 지연은 125ps 부 지연값은 187.5ps로 값이 되도록 위상을 락킹시켰다. 그림7에서 주 지연셀의 PLL 및 부 지연셀이 위상락킹후 62.5ps의 위상차이를 보인 시뮬레이션 결과를 보였다. 시뮬레이션은 0.18um CMOS공정으로 수행하였다. 표 1은 시뮬레이션 결과 얻어진 데이터를 정리하였다. 그림 8은 설계회로의 Layout을 보였다.

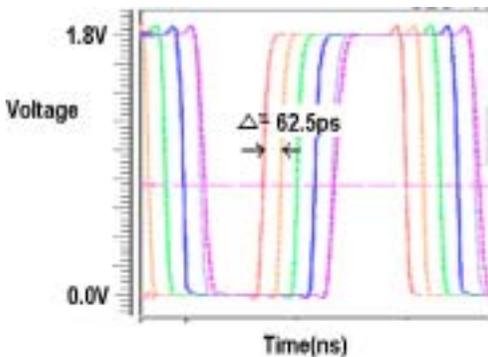


그림 7. VCO에서 만들어진 Multi-phase 출력 파형
Fig. 7 Output Multi-phase signals generated from VCO

표 1-1 설계 요약표
Table 1-1, Design Summary

Technology	0.18um ,CMOS	
Reference clock speed	155MHz - 1.25GHz	
Phase Resolution	62.5ps - 400ps	
Jitter	14ps(pk-pk) @ 1GHz	
Phase Noise	-105dBc/Hz @1MHz offset	
Phase resolution Accuracy	Mean : 62.5ps Peak INL: 8ps Peak DNL: 15ps	
16-phase PLL	VOC Gain	1GHz/V
	PM	56.4'
	Loop BW	600kHz
Chip area	0.81(mm) x 0.75(mm)	

Multi-Phase PLL은 oscilloscope의 특성상 동시에 2개의 출력을 확인할 수 있기 때문에 clk4 와 clk6 측정하여 1GHz에서의 동작을 측정하였다. 두개의 타이밍차이는 최소 타이밍 62.5ps의 두배인 125ps으로 측정되었다. 최소타이밍 62.5ps는 측정하지 못했는데 상대적으로 세 번째 신호를 측정함으로써 간접적으로 최소 타이밍차이(62.5ps)를 추정할 수 있다.

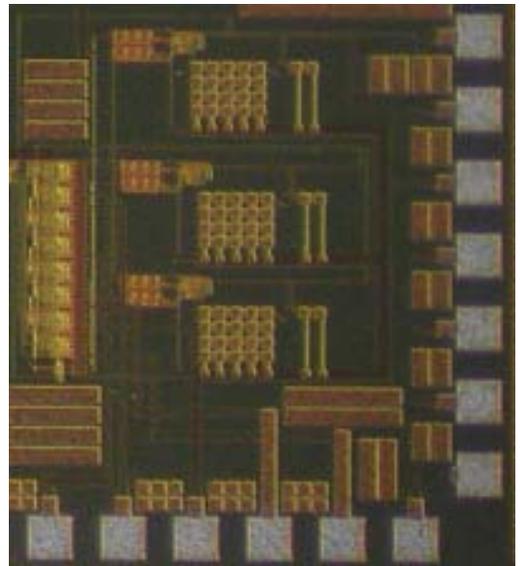


그림 8 칩 사진
Fig. 8. Chip microphotograph

V. 결론

본 논문은 기존의 단순한 지연 셀을 이용하여 다중 위상을 구하던 방식과 다르게 PLL에 버니어 지연 라인을 적용시켜 더욱 미세한 다중위상을 생성하였다. 제안하는 기법은 버니어 지연 라인을 적용한 다중위상 PLL을 사용하여 지연 셀의 지연 값보다 작은 타이밍을 만들 수 있다. 기존의 PLL의 입력 신호 주기를

$2/16 * T$ 로 하고 버니어 지연 셀의 신호 주기를 $3/16 * T$ 로 하여 $1/16 * T$ 의 위상차이를 얻을 수 있었으며 또한 버니어 지연 셀의 제어 전압을 주 PLL의 제어 전압과 따로 잡아 줌으로써 부 지연 단의 지연 값을 조정하였다.

0.18um CMOS공정을 이용하여 칩 제작후 측정결과 1GHz에서 약 62.5ps의 위상정밀도를 갖는 다중 출력 신호를 만들었고 지터는 14ps로 측정되었다.

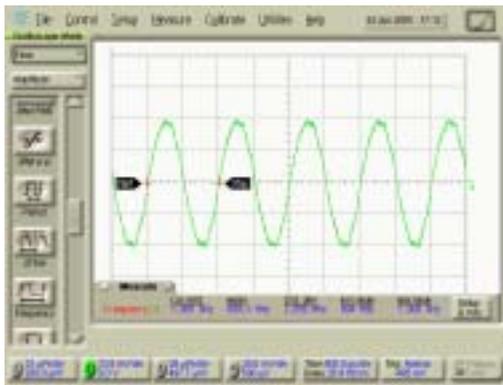


그림 10 (a) 1 GHz clock 출력파형 (b) Jitter측정 데이터 (14.4 ps (pk-pk))

Fig. 10 (a) 1 GHz Clock Signal (b) Measured jitter(14.4 ps (pk-pk))

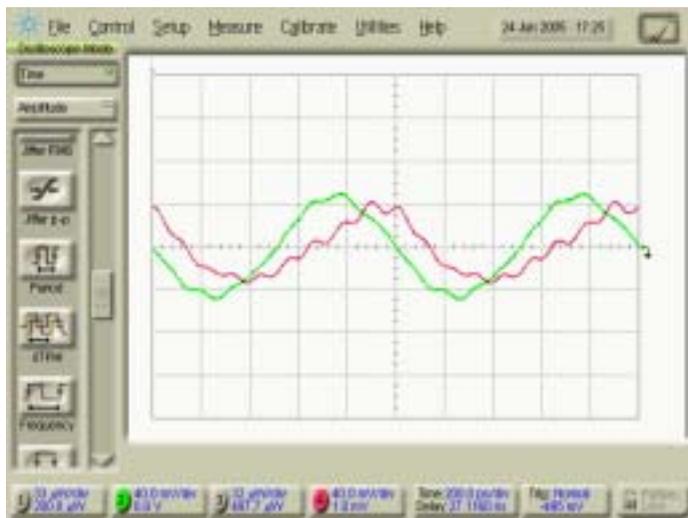


그림 11 clk4와 clk6 의 출력파형 (신호 타이밍차이=125ps)
이것으로부터 최소 신호타이밍 62.5(125/2)ps를 추정할 수 있다

Fig. 11. Output signals of clk4 and clk6(Timing difference=125ps)
The minimum timing difference can be calculated as 62.5(125/2)ps

참고 문헌

[1]. John G. Maneatis, M. A. Horowitz, "Precise Delay Generation Using Coupled Oscillator", IEEE Journal of Solid State Circuits, vol. 28, no. 12, 1273-1282, Dec. 1993

[2]. Jin-Ku Kang, W. Liu and R. K. Cavin, "A CMOS High Speed Data Recovery Circuit Using Matched Delay Sampling Technique", IEE Journal of Solid-State Circuits, vol.32, vol. 10, pp1588-1596, Oct. 1997

[3]. Jeff Sonntag, Robert Leonowich, "A Monolithic CMOS 10MHz DPLL for Burst-Mode Data Retiming", in ISSCC 1990 Dig. Tech. Papers, Feb. 1990, pp. 194-195.

[4]. Henrik O. Johansson, "A Simple Precharged CMOS Phase Frequency Detector", IEEE J. Solid-State Circuits, vol. 33, Feb. 1998, pp 295-299.

저 자 소 개

성재규 (정회원)



2003년 단국대학교 전자공학과 졸업
 2005년 인하대학교 전자전기컴퓨터공학부 석사졸업.
 2006년 현재 (주)Siliconworks 연구소
 <주관심분야>
 CMOS고속회로 설계, VLSI, PLL

강진구 (정회원)



1983 서울대학교 공학사.
 1990 New Jersey Institute of Technology 전자공학 석사,
 1996 North Carolina State University, 전자 및 컴퓨터공학 박사.
 1983-198삼성반도체,
 1996-1997 미국 INTEL 선임설계연구원

1997. 3월 - 현재 인하대학교 전자전기공학부 교수
 <주관심분야>

고속 CMOS회로설계, 혼합모드 회로설계, PLL/DLL/CDR, High speed Interface, Display IC